

**JP 6-333393**

**No English Abstract Available**

2/9/1

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04661493

**HIGH RELIABILITY DATA OUTPUT CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT  
USING DATA OUTPUT METHOD**

PUB. NO.: 06-333393 JP 6333393 A]  
PUBLISHED: December 02, 1994 (19941202)  
INVENTOR(s): BOKU JIYUNKEI  
APPLICANT(s): SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or  
Corporation), KR (Korea) Republic of  
APPL. NO.: 06-098601 [JP 9498601]  
FILED: May 12, 1994 (19940512)  
PRIORITY: 9308145 [KR 938145], KR (Korea) Republic of, May 12, 1993  
(19930512)  
INTL CLASS: [5] G11C-011/409  
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2  
(ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333393

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl.<sup>6</sup>

G11C 11/409

国際特許番号

庁内登録番号

F I

G11C 11/34

954 A

技術表示箇所

審査請求 未請求 請求項の図14 OL (全8頁)

(21) 出願番号 特開平6-98801  
 (22) 出願日 平成6年(1994)5月12日  
 (31) 優先権主張番号 1993 P 8145  
 (32) 優先日 1993年5月12日  
 (33) 優先権主張国 韓国 (K R)

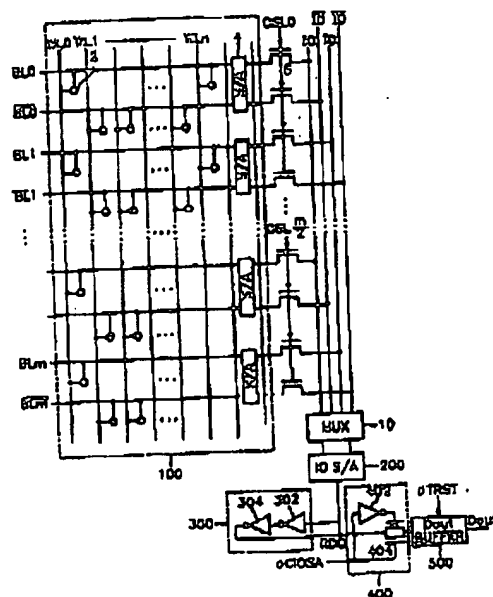
(71) 出願人 380019839  
 三星電子株式会社  
 大韓民國京畿道水原市八達区洞洞洞416  
 (72) 発明者 朴 淳奎  
 大韓民國忠清南道又安市新官洞372号地64号  
 (74) 代理人 弁護士 吉月 敏

(54) 【発明の名称】 高信頼性のデータ出力回路及びデータ出力方法を使用した半導体記憶回路

(57) 【要約】

【目的】 半導体記憶回路において、ページモード等により長い時間有効データを出力できて信頼性を高められるようなデータ出力の回路方法を提供する。

【構成】 データ入出力センスアンプ200の出力端にラッチ回路300を設けると共に、信号バー-RAS及び信号バー-CASのレベル変化に従ってその出力レベルが決定される制御信号により動作するスイッチ手段400をデータ出力バッファ500の入力端に設ける。信号バー-CASのアクティブ状態でスイッチ手段400は導通となり、信号バー-CASのプリチャージ状態でスイッチ手段400は非導通となる。スイッチ手段400の非導通により、有効列アドレスに続く非有効列アドレスによるセルデータのデータ出力バッファ500への入力遮断されるので、データ出力バッファ500は、信号バー-CASの次のサイクルでのアクティブ状態まで、前のサイクルでの有効データ出力を維持可能となる。



(2)

特開平6-333393

1

【特許請求の範囲】

【請求項1】 メモリセルから読出されたセルデータをチップ外部に出力するデータ出力バッファを有する半導体集積回路において、

セルデータがデータ出力バッファに入力される際に伝送路が形成されて所定の制御信号によりスイッチ動作を行うスイッチ手段を有することを特徴とする半導体集積回路。

【請求項2】 スイッチ手段は、列アドレスストローブ信号がアクティブ状態からプリチャージ状態になるときにセルデータのデータ出力バッファへの入力を遮断する動作を行う請求項1記載の半導体集積回路。

【請求項3】 スイッチ手段を制御する制御信号が、列アドレスストローブ信号と行アドレスストローブ信号の入力に基づいて発生される請求項2記載の半導体集積回路。

【請求項4】 ビット感での感知動作後にデータ入出力線に伝送されたセルデータを感圧増幅するデータ入出力感センサアンプと、所定の制御信号により動作され、前記感圧増幅されたセルデータをチップ外部に出力するデータ出力バッファと、データ入出力感センサアンプとデータ出力バッファとの間に設けられ、所定の制御信号により動作するスイッチ手段と、を有し、データ入出力感センサアンプで感圧増幅されたセルデータのデータ出力バッファへの入力がスイッチ手段のスイッチ動作により制御されるようになっており、ことを特徴とする半導体集積回路。

【請求項5】 スイッチ手段は、列アドレスストローブ信号がアクティブ状態からプリチャージ状態になるときに、セルデータのデータ出力バッファへの入力を遮断するようになっており、請求項4記載の半導体集積回路。

【請求項6】 データ出力バッファは、列アドレスストローブ信号のレベル変化に敏感なく、制御信号がエネブルされる時に動作して動作されるようになっており、請求項5記載の半導体集積回路。

【請求項7】 データ入出力感センサアンプの出力側にラッチ回路を有する請求項4～6のいずれか1項に記載の半導体集積回路。

【請求項8】 メモリセルから読出されたデータを有効アドレスの入力により感知するデータ感と、出力側にラッチ回路を有し、データ感に伝送されたセルデータを増幅して出力線から出力する感知手段と、この感知手段の出力線に感圧増幅路が形成され、所定の制御信号により動作して非有効アドレスの入力時に前記感圧増幅路を遮断する動作を行うスイッチ手段と、このスイッチ手段を通じて感知手段の出力線と入力線が接続されて所定の制御信号により動作し、有効アドレスの入力により読出されたセルデータの出力状態を、非有効アドレスの入力に関係なく前記感圧増幅路が感圧される間接続する出力手段と、を有することを特徴とする半導体集積回路。

2

【請求項9】 メモリセルから読出されたセルデータをチップ外部に出力するデータ出力バッファをもつ半導体集積回路のデータ出力拡張方法であって、

セルデータのデータ出力バッファへの入力経路に電流経路が形成されて所定の制御信号によりスイッチ動作を行うスイッチ手段を用い、前記入力経路の両端を行う第1導通と、前記制御信号を列アドレスストローブ信号及び行アドレスストローブ信号の入力に基づいて発生させる第2導通と、列アドレスストローブ信号がアクティブ状態からプリチャージ状態になるときに第1導通によりセルデータのデータ出力バッファへの入力を遮断する第3導通と、を含み、

第3導通において、有効セルデータが、列アドレスストローブ信号の次のアクティブ状態までデータ出力バッファから出力され続けることを特徴とするデータ出力拡張方法。

【請求項10】 半導体集積回路のデータ出力拡張方法であって、

メモリセルから読出されたデータを有効アドレスの入力によりデータ感で感知する第1導通と、この第1導通によるデータ感上のセルデータを感知手段により増幅する第2導通と、感知手段の出力線に感圧増幅路が形成されて所定の制御信号により動作するスイッチ手段を用い、非有効アドレスの入力時に前記感圧増幅路を遮断する第3導通と、スイッチ手段を通じて感知手段の出力線と入力線が接続されて所定の制御信号により動作する出力手段を用い、有効アドレスの入力により読出されたセルデータの出力状態を、非有効アドレスの入力に関係なく前記感圧増幅路が感圧される間接続させる第4導通と、を行うことを特徴とするデータ出力拡張方法。

【請求項11】 感知手段にラッチ回路を有して非有効アドレスの入力から出力手段の出力状態を独立させる第5導通を更に含む請求項10記載のデータ出力拡張方法。

【請求項12】 ページモードをデータ出力モードとしてもつ半導体メモリにおいて、

データ入出力感センサアンプの出力側にラッチ回路を設けると共にデータ入出力感センサアンプとデータ出力バッファとの間にデータ伝送を制御するスイッチ手段を設け、そして、有効アドレスに続く非有効アドレスの入力の時にスイッチ手段をオフとして伝送を遮断させると共に、次の有効アドレスによるデータ出力まで前記有効アドレスによる出力状態を記憶するようにデータ出力バッファを動作させることを特徴とする半導体メモリ。

【請求項13】 行アドレスストローブ信号に基づいて発生されビット感でのデータ感知動作完了を示す感知完了信号と、列アドレスストローブ信号を遅延させたCAS遅延信号との論理和合せにより、スイッチ手段を制御する入力制御信号とデータ出力バッファを制御する感圧信号とを発生するようにした請求項12記載の半導体メモ

(3)

特開平6-333393

3

り。

【請求項14】 入力制御信号は、感知完了信号及びCAS選択信号を入力とするNANDゲートと、インバータを用いた遅延回路とからなる入力制御信号発生回路により発生され、感知完了信号及びCAS選択信号を入力とするNANDゲートと、このNANDゲートの出力をゲートに受けるプルアップトランジスタと、感知完了信号及びCAS選択信号を入力とするNORゲートと、このNORゲートの出力をゲートに受けるプルダウントランジスタと、プルアップトランジスタとプルダウントランジスタとの接続ノードに接続されたラッチ手段とからなる記憶回路により発生される請求項13記載の半導体メモリ。

【発明の利便性】

【0001】

【産業上の利用分野】 本発明は半導体記憶回路に関し、特に、そのデータ出力回路方法と、これに基づいて高信頼性の有効データ出力を可能とした半導体記憶回路に関するものである。

【0002】

【従来の技術】 近年において、メモリに代表される半導体記憶回路の大容量化及び高信頼化は途絶ない努力により進捗している。しかしながら、半導体記憶回路のデータ転送速度はシステムの処理速度に比べて劣っているのが現状である。

【0003】 従来の半導体記憶回路のデータ出力制御方式は、(仮)列アドレスストローブ信号バーCASがプリチャージ状態になってから一定時間の間、出力がハイインピーダンス状態に維持されるものであった。これに対し最近では、データアクセス速度の向上に従って出力がハイインピーダンス状態に維持される時間をできるだけ短くすることが不可欠になっている。これに応じて、ファストページモード(fast page mode)のような技術が提案されている。しかしながら、半導体記憶回路においてファストページモードをより速く実行させるような場合には、有効データの出力レベルが維持される時間もまた相対的に短縮される。

【0004】 一方、このような状況において、相互に連続的に出力される第1有効データと第2有効データとの間に発生するハイインピーダンス状態が長くなると、システムで有効データをサンプリングするときに有効データの保持時間が短縮されることになり、エラーが発生するという問題がある。

【0005】 これに対し、図5に従来のページモードでの動作タイミングを示す。同図は、三星社のダイナミックRAM(dynamic RAM)製品であるK4M591000ANのモジュールに示されるような通常の一般的なダイナミックRAM製品の動作タイミング図である。

【0006】 この波形図に基づいて一般的なデータ読出動作を具体的に説明する。(仮)行アドレスストロー

ブ信号バーRASの下降エッジ(falling edge)で行アドレスが入力され、これにより所定のワード線が選択される。そして、選択されたワード線に接続されているメモリセルに記憶されたデータは、ビット線に接続されたビットセンスアンプにより感知される。

【0007】 この感知動作が完了する時点で信号φRC Dがエネーブルされ、その後、列アドレスストローブ信号バーCASの下降エッジで、ラッチされた有効列アドレスにより、前記選択されたワード線に接続されている多数のメモリセルのうち、所定のビット線に接続された一つのセルが選択される。次いで、選択されたセルデータは列ゲートを通じてデータ入出力線に伝送される。そして、このデータ入出力線に伝送されたデータは、データ入出力線に接続された入出力センスアンプにより再び増幅された後、主データ入出力線を通じてデータ出力バッファへ入力される。データ出力バッファに入力されたデータは、データ出力バッファのエネーブル信号φTRSTの制約に従ってチップ外部に出力され、出力されたデータはシステムに入力される。

【0008】 このとき、図5に示すように出力データDoutは、列アドレスストローブ信号バーCASの第1アクティブ区間の間に、列アドレスCOL1により上記の範囲のような伝送速度でデータ出力バッファを通じて出力され、そして列アドレスストローブ信号バーCASがプリチャージ状態になると、ハイインピーダンス状態になる。その後、次のサイクルで新たな列アドレスCOL2により選択されたセルデータが上記過程を経て再びチップ外部に出力される。以降の処理も同様に行われる。

【0009】 図5の出力データDoutに示されているように、出力データDoutは、列アドレスストローブ信号バーCASがアクティブ状態になってから再びプリチャージ状態になると同時に出力され、その後所定時間ハイインピーダンス状態を維持する。つまり、有効データの出力は列アドレスストローブ信号バーCASのアクティブ区間でのみ維持される。したがって、列アドレスストローブ信号バーCASのアクティブ区間が短くなると、有効データが維持される時間も短くなる。特に、高速のファストページモードにおいては有効データの維持時間が極めて短縮されることになる。このように有効データの出力時間が短縮されることになると、システムでの有効データに対する安定したサンプリングを保障しにくくなり、これは、従来の半導体記憶回路のような高速出力動作を有する素子で一般化された問題になってくる。

【0010】

【発明が解決しようとする課題】 したがって本発明の目的は、第一に、より高信頼性の有効データの出力を行い得る半導体記憶回路を提供することにある。

【0011】 第二に、システムでの有効データに対する安定したサンプリングを保障できるような半導体記憶回路

(4)

特開平6-333393

5

路を提供することにある。

【0012】第三に、高次の出力動作下においても有効データの出力時間を最大限に拡張し得る半導体集積回路を提供することにある。

【0013】第四に、列アドレスストローブ信号がプリチャージ状態になっても、データ出力バッファを過じた有効データの出力時間を所定の時間を越えて保持できるように半導体集積回路を提供することにある。

【0014】第五に、ファストページモードにおいても、列アドレスストローブ信号のレベル変化に関係なくデータ出力バッファを駆動させることで有効データの出力を拡張させ得る半導体集積回路を提供することにある。

【0015】第六に、ファストページモードのサイクルタイムが短くなっても、システムにおけるデータのフェッチ(fetch)速度を安定的に確保できるようにする半導体集積回路を提供することにある。

【0016】第七に、高価位の有効データの出力を可能とし、システムでの有効データに対する安定したサンプリングを確保できるようにする半導体集積回路のデータ出力拡張方法を提供することにある。

【0017】第八に、ファストページモードにおいても、列アドレスストローブ信号のレベル変化に関係なくデータ出力バッファを駆動させることで、有効データの出力時間を最大限に拡張させ得る半導体集積回路のデータ出力拡張方法を提供することにある。

【0018】

【図面を解決するための手段】このような目的を達成するために本発明は、列アドレスストローブ信号がアクティブ状態からプリチャージ状態になるときにメモリセルデータのデータ出力バッファへの入力を遮断し、そして列アドレスストローブ信号のレベル変化に関係なくデータ出力バッファを駆動させてデータの出力動作を引き行うようにするものである。

【0019】また、列アドレスストローブ信号がアクティブ状態からプリチャージ状態になるときに、メモリセルデータのデータ出力バッファへの入力を遮断して非有効列アドレスにより選択されたデータの入力を遮断し、そして、列アドレスストローブ信号のレベル変化に関係なくデータ出力バッファを駆動させてデータの出力動作を引き行うようにするものである。

【0020】このような動作を行う本発明による半導体集積回路は、データ出力バッファの入力側に所定の制御信号によってのみ動作するスイッチ手段を設け、そして、このスイッチ手段が列アドレスストローブ信号の必要な時点でのレベル変化にのみ従い動作するように前記制御信号を発生する制御信号発生回路と、有効列アドレスにより選択されたデータがデータ出力バッファに伝達される前に一定の時間データを保持するためのラッチ回路を有するデータ入出力感センサンプと、列アドレス

6

ストローブ信号のデータ出力動作におけるレベル変化に関係なく所定時間以上引き続きデータ出力バッファを駆動させる駆動信号を発生するための駆動信号発生回路と、を備えることを特徴とする。

【0021】本発明による半導体集積回路のデータ出力拡張方法によれば、列アドレスストローブ信号がプリチャージ状態となっても引き続きデータ出力バッファを過じた有効データを出力することができ、有効データの出力時間が拡張される。これによりシステムの安定した有効データのサンプリングを確保することができる。

【0022】

【実施例】以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。尚、図面中の同じ部分には可能な限り共通の符号を用いるものとする。

【0023】この例において説明される半導体集積回路に備えられるスイッチ手段、制御信号発生部、及びラッチ回路等の特定の構成は、本発明のより全般的な型解を提供するために例示として用いられるものである。該当技術分野における通常の知識を有する者ならば、これら特定の図面だけでなく、あるいはこれら特定の詳細を要請したものでも実施可能であることは容易に理解できよう。

【0024】ここで使用される「有効データの拡張」とは、列アドレスストローブ信号のエネブルにより半導体集積回路のデータ出力バッファから出力データが出力されるときの出力遅延が、列アドレスストローブ信号のレベル変化に関係なく維持され、それよりハインピーダンス状態(high impedance)が最少とされることを意味している。また、「レベル変化」とは、信号が高レベル「ハイ」の状態から低レベル「ロウ」の状態に、あるいは低レベル「ロウ」の状態から高レベル「ハイ」の状態に移することを意味する。

【0025】図1は、この実施例の半導体集積回路におけるセルデータの読出しに用いた部分の内部構成を示すブロック図である。符号100で示す部分は、マトリクス状に多数のメモリセル2を配列したセルアレイである。このセルアレイ100の各ビット線BLm、パーBLm(m=0, 1, 2, ...)には、データの1次感知のためのビット感センサアンプ4が接続される。各ビット線BLm、パーBLmは、信号CSLにより制御される列ゲート6を介してデータ入出力線IO、パーIOに接続される。データ線であるデータ入出力線IO、パーIOは、マルチプレクサ10を介して感知手段であるデータ入出力感センサアンプ200に接続される。そして、このデータ入出力感センサアンプ200の出力端にはラッチ回路300が接続されている。ラッチ回路300は、直列接続された二つのインバータ302、304で構成されている。

【0026】符号500で示すのは、チップ外部に出力データDataを出力するデータ出力バッファ(出力手

(5)

特記平6-333393

段)である。このデータ出力バッファ500とデータ入出力感センサンプ200との間、すなわちデータ出力バッファ500の入力側には、スイッチ手段400が設けられる。このスイッチ手段400は、入力側信号φC10SAにより制御されるPMOSFETとNMOSFETを用いた伝送ゲート404を有している。

【0027】この例のような構成における特徴は、増幅されたセルデータのデータ出力バッファへの入力、スイッチ手段400のスイッチ動作に従い決定されることにあり、また、データ入出力感センサンプ200の出力側にラッチ回路300が備えられることにある。特にスイッチ手段400により、半導体装置回路の有効データの出力を拡張させることができる。

【0028】図1に示す構成において、スイッチ手段400を制御する入力側信号φC10SAは、図2に示す回路構成をもった入力側信号発生回路を用いて発生させることができる。この信号φC10SA発生回路は、(反転)行アドレスストローブ信号バーRAS及び(反転)列アドレスストローブ信号バーCASの各入力にそれぞれ基づいて発生する信号φRCD及び信号φC20と、インバータを用いた遅延回路としての反転回路ブロック24、26、28とからなっている。信号φRCDは、選択されたワード線に接続されたセルデータに対するビット感センサンプでの感知動作が完了することを感知完了信号で、信号φCは、バーCASをタイミングの合うように遅延させて発生されるCAS遅延信号となる。

【0029】図2に示す構成における特徴は、信号φRCD及び信号φCが論理“ハイ”になるときに信号φC10SAがエネーブルされ、一方、信号φRCD及び信号φCのいずれか一方が論理“ロウ”になると、信号φC10SAがディスエーブルされることにある。

【0030】図1に示す構成において、データ出力バッファ500を駆動するための信号φTRSTは、図3に示す信号発生回路による信号φTRSTENのエネーブルにより発生させることができる。この信号φTRSTEN発生回路は、信号φRCD及び信号φCを入力とするNANDゲート30と、信号φRCD及び信号φCを入力とするNORゲート32と、NANDゲート30の出力信号により区画されるプルアップトランジスタ34(PMOSFET)と、このプルアップトランジスタ34に直列接続され、NORゲート32の出力信号により区画されるプルダウントランジスタ36(NMOSFET)と、信号φTRSTENを出力する抵抗ノード38に接続されたラッチ手段40、42とからなる。

【0031】この図3に示す構成における特徴は、信号φTRSTENが、信号φRCD及び信号φCがすべて論理“ハイ”となる場合においてより遅く論理“ハイ”となる方の信号によりエネーブルされ、そして、信号φ

RCD及び信号φCがすべて論理“ロウ”となる場合においてより遅く論理“ロウ”となる方の信号によりディスエーブルされることにある。

【0032】図4は、図1に示す回路におけるデータ抽出動作時の特性を示す動作タイミング図である。ここで、図1～図4を参照して本発明に従う半導体装置回路のデータ抽出動作を説明する。

【0033】行アドレスストローブ信号バーRASの下降エッジで入力された行アドレスによりワード線WL0、…、WLn(n=1、2、3、…)うちのいずれか1本のワード線が選択される。選択されたワード線に接続されたセルのデータは、ビット感センサンプ4によりすべて感知される。その際、有効列アドレスCOL1が列アドレスストローブ信号バーCASの下降エッジでラッチされ、m/2個の信号CSLの中のいずれかが選択される。信号CSLの選択により、ビット感センサンプ4により感知されたデータが選択されてデータ入出力感IO、バーIOに伝送される。そしてマルチプレキサ10により、データ入出力感IO、バーIOのうち一対のデータ入出力感IO、バーIOに伝送されたデータのみが選択される。選択されたデータは、データ入出力感センサンプ200により増幅増強される。このとき、増幅増強されたデータがラッチ回路300によりラッチされ、このラッチ回路300にラッチされたデータは、信号φC10SAが論理“ハイ”で保持される間に伝送ゲート404を通じてデータ出力バッファ500に入力される。

【0034】図4の動作タイミング図に示すように、列アドレスストローブ信号バーCASがプリチャージのためにレベル変換されると、信号φCもそれに伴って論理“ロウ”になる。これに伴って、図2に示した回路と図4のタイミング図から分かるように、信号φC10SAは論理“ロウ”レベルに変換される。これにより、図1に示すスイッチ手段400の伝送ゲート404が非導通状態になり、ラッチ回路300にラッチされるデータのデータ出力バッファ500への入力が遮断され、非有効列アドレス(non-effective column address)の入力により選択されたデータがデータ出力バッファ500に入力されなくなる。したがって、以前に入力された有効列アドレスCOL1により選択されたデータによるデータ出力バッファ500の出力状態は、列アドレスストローブ信号バーCASがプリチャージのためにレベル変換されても維持される。

【0035】さらに、図3に示した回路と図4のタイミング図から分かるように、信号φRCD及び信号φCの中のいずれか一方のみの論理“ロウ”によっては、信号φTRSTENがディスエーブルされることはなく、ラッチ回路40、42によってエネーブル状態を保持して保持する。これにより、データ出力バッファ500を駆動する信号φTRSTが引き続きエネーブルされるの

(6)

特開平6-333993

9

で、データ出力バッファ500は出力動作を制御する。そして、信号φRCD及び信号φCがすべて高レベルとなるときのみデータ出力バッファ500の出力動作は止められる。

【0036】したがって、この例の半導体記憶回路は、有効データ出力の制御を可能としており、また、行アドレスストロブ信号バーRASがアクティブ状態にあるときはハイインピーダンス状態に維持される回路が短くなって短くなる。その結果、システムは高信頼性の有効データの安定時サンプリングを保障され、また、ファストページモード時のサイクルタイムを短縮させることができる。

【0037】図1乃至図3を参照して本発明の技術的な思想に基づいた実施例を説明したが、これらに限らず、本発明の技術的な思想の範囲内にあるならば多様な変形例が実施可能である。例えば、図1に示したスイッチ手段400は、制御信号によりスイッチ動作を行えば異なる素子でも形成できる。また、図2に示した信号φC IOSA完全回路は論理動作を同様に実行可能な多様な変形例で実施でき、さらに、図1に示したスイッチ手段400のスイッチ動作を決定する回路を対応すると、他にも多様な形態で実施することが可能である。加えて、図3に示した信号φTRSTEN完全回路においても、同様の条件を対応した他の多様な形態で実施することができる。

【0038】以上のような本発明によるデータ出力制御方法は、データ入出力センサアンプ及びデータ出力バッファを有する半導体記憶回路の構成に容易に適用でき、特に、例えばページモードサイクルを動作モードとして有するダイナミックRAMやビデオRAM (video RAM) への適用により効果的である。尚、特許請求の範囲における各用語は、本発明の明瞭な説明で述べた内容を基にして定義されるべきものである。

【0039】

【発明の効果】以上述べてきたように本発明は、データ出力バッファの入力端に、行アドレスストロブ信号及び列アドレスストロブ信号のレベル変化に従ってそのレベルが決定される制御信号により動作するスイッチ手

10

段を備え、このスイッチ手段が、列アドレスストロブ信号がアクティブ状態にあるときに導通となり、列アドレスストロブ信号がプリチャージ状態にあるときに非導通となるようにして非有効アドレスによるデータの流入を遮断するようにした。これにより、列アドレスストロブ信号が次のサイクルでアクティブ状態になるときにまで有効データを出力できるようにしたデータ出力制御方法及びこれを用いた半導体記憶回路を提供することが可能となる。そして特に、ファストページモードにおいても、列アドレスストロブ信号のレベル変化に関係なくデータ出力バッファを引き続き動作させて有効データの出力を継続することができ、出力データのハイインピーダンス状態が短くなって短くなる。したがって、システムにおける高信頼性の有効データの安定時サンプリングを保障でき、また、ファストページモード時のサイクルタイムを短縮させる。さらに、システムでのデータのフェッチ速度を短縮させることも可能となる。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体記憶回路の要部回路図。

【図2】図1に示す信号φC IOSAを完全する入力制御信号発生回路の構成例を示す回路図。

【図3】図1に示す信号φTRSTをエネーブルさせる制御信号発生回路の構成例を示す回路図。

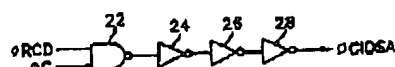
【図4】図1の回路におけるデータ演出動作時の特性を示す動作タイミング図。

【図5】従来の回路における有効データの出力遅延を示す動作タイミング図。

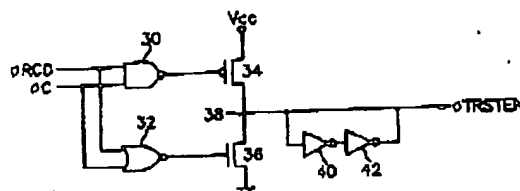
【符号の説明】

バーRAS 行アドレスストロブ信号 (反転)  
バーCAS 列アドレスストロブ信号 (反転)  
COL1, COL2, COL3, ... 有効列アドレス  
φRCD 感知完了信号  
φC CAS遅延信号  
φTRST 出力信号  
φTRSTEN 出力制御信号  
φC IOSA 入力制御信号

【図2】



【図3】



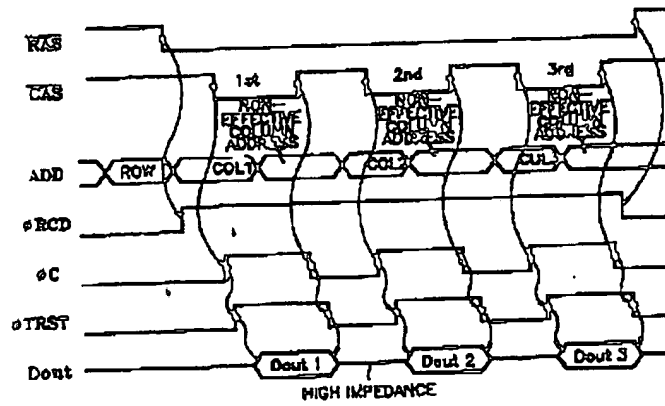




(8)

特開平6-333393

【図5】





 A member of the Reed Elsevier plc group

REEDFAX Document Delivery System  
275 Gibraltar Road • Horsham, PA 19044 • USA  
Voice 1.800.422.1337 or 1.215.441.4768  
FAX 1.800.421.5585 or 1.215.441.5463

**Our services include:**

- U.S. Patents from #1 to current week of issue
- Design and Plant Patents
- Reissue Patents and Re-exam Certificates
- U.S., EP and Canadian File Histories/Wrappers
- Non-US Patents including European and World
- Trademarks and Trademark File Histories
- An Automated System that operates in 15 min. 24 hrs./day, 365 days/yr.
- Dedicated Customer Service Staff

**TO REPORT TROUBLE WITH THIS TRANSMISSION or for REEDFAX CUSTOMER SERVICE,  
CALL 1.800.422.1337. ONCE CONNECTED, IMMEDIATELY PRESS "0" (ZERO) FOR OPERATOR.**

**TO: Gina Uphus**

**FAX Number: 6123393061**

Foreign Patent  
Company Number: 3074  
Account Number: 848034  
Client Reference: 303.623US5

Date: 3/22/2001

Control Number: 24269

Patent Number: JP 5282859

Pages: 3

REEDFAX Code: FP-Fax-High-Lib+  
Request Number: 2

Order Number: 287438

Retrieved by: \_\_\_\_\_

Assembled by: \_\_\_\_\_

Shipped by: \_\_\_\_\_

**CHARGES FOR THIS PATENT:**

Basic Charge:	\$ 16.15
Extra Pages:	\$ 0.00
Special Serv:	\$ 1.71
Surcharge:	\$ 0.00

**Total: \$ 17.86**

**Discount D5**

Charges listed are for informational purposes only  
and do not include applicable tax, other adjustments  
or shipping charges.

\*\*\* < THIS IS NOT A BILL > \*\*\*

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-282859

(43) 公開日 平成5年(1993)10月29日

(51) Int.Cl. <sup>4</sup>	国際記号	序内発明番号	F I	技術表示箇所
G11C 11/401				
G06F 12/02	590	8841-5B 6741-5L	G11C 11/34	362 C

審査請求 未請求 初項の枚数(全3頁)

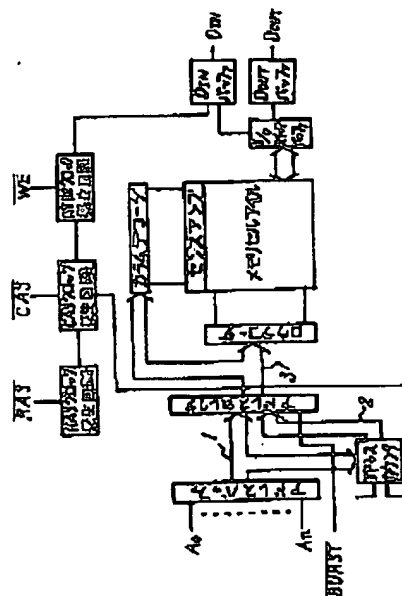
(21) 出願番号	特開平4-32455	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成4年(1992)2月20日	(71) 出願人	000190541 新島日本電気株式会社 新潟県柏崎市大字安田75-6番地
		(72) 発明者	人川 隆雄 東京都港区芝五丁目7番1号日本電気株式会社内
		(72) 発明者	渡辺 和宏 新潟県柏崎市大字安田75-6番地新島日本電気株式会社内
		(74) 代理人	弁護士 坂本 直樹 (外2名)

(54) 【発明の名称】 メモリ制御回路

(57) 【要約】

【構成】 BURSTの否定値の信号が外部より入力されると、デバイス内部で生成したアドレス2がセクタにより選択され、内部アドレスバス3へ出力される。

【効果】 アドレス生成・制御用の回路なくしてバースト反送できる。



(2)

特開平6-282859

1

## 【特許請求の範囲】

【請求項1】 データ記憶装置の一態であり、アドレス信号とアドレス及びデータの入出力を制御する為の制御信号を入力することにより、データの入出力が可能となるランダムアクセスメモリにおいて、選択するアドレスのデータを遅延して入力、又は出力する場合（以後このような伝送をバースト伝送と呼ぶ）に、それを示す信号と、アドレスカウンタを値えることを特徴とするメモリ制御回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータシステムにおけるメモリ制御回路に関し、特にダイナミックラムに関する。

【0002】

【従来の技術】 従来のランダムアクセスメモリは、その制御方法によって、スタティックラム、ダイナミックラム、に大別され、さらにその記憶容量及びデータのビット数により区別されるが、その基本構成要素は、アドレス信号、アドレス又はデータの入出力制御信号、データ信号である。

【0003】 図3にダイナミックラムの構成の一例を簡単なブロック図で示す。このメモリにデータを書き込む場合もしくはメモリからデータを読み出す場合には、適切なタイミングで図に示すRAS、CAS、WEの否定値の各信号を入力すると共に、適切なタイミングで必ずアドレスも入力する必要がある。

【0004】 又、高速にデータを入出力する手段として、ページモード、スタティックカラムモード、ニブルモードを持つダイナミックラムがある。

【0005】 ダイナミックラムでは、アドレスをロウアドレスとカラムアドレスの2回に分けて入力する必要がある。

【0006】 ページモード、スタティックカラムモードの場合には、同一ページ内（ロウアドレスが同じ）の連続アクセスでは、カラムアドレスの入力のみでデータの入出力を可能とすることにより高速アクセスを實現している。

【0007】 又、ニブルモードの場合は、アドレスの選択するデータのアクセスにおいて初期アドレスの設定のみで続くアドレスの入力は必要としないことにより高速アクセスを可能としている。しかしこれは連続する4データという制限がある。

【0008】

【発明が解決しようとする課題】 従来のページモード、又はスタティックカラムモードをサポートするダイナミックラムを用いて、バースト伝送を實現しようとした場合には、バースト伝送用のアドレス生成、タイミング制御回路が必要になり、ニブルモードをサポートするダイナミックラムを用いた場合には、バースト伝送のデータ

2

量が4と制限されてしまい大量データの高速伝送ができないという問題点があった。

【0009】

【課題を解決するための手段】 本ダイナミックラムは、従来のダイナミックラムが有しているRAS、CAS、WEのメモリ制御信号に加え、バースト伝送を示すBURST信号と、デバイス内部にバースト伝送時のアドレス生成回路を備えている。

【0010】

10 【実施例】 次に本発明について図面を参照して説明する。

【0011】 図1は、本発明の一実施例をブロック図で示したものである。

【0012】 通常のメモリアクセス時には、入力されたアドレス信号がデバイス内部のアドレスバス3に直接出力されるが、図中のBURSTの否定値の信号が外部より入力されるとデバイス内部で生成したアドレス2がセレクタにより選択され、内部アドレスバス3へ出力される。これによりバースト伝送時には、外部からのアドレス入力の必要はなくなる。

20 【0013】 バースト伝送時にはページモードアクセスとなる、カラムアドレスのみ変化する。

【0014】 アドレス生成回路（アドレスカウンタ）に対する初期アドレスのロードは図2に示す4の区間すなわち、BURSTの否定値信号をアクティブロウとした場合にその立下りエッジで完了する。カラムアドレスのホールドタイム及びアドレスカウンタに初期値をロードする際のセットアップタイムを確保するようBURSTの否定値の信号は、最初のCASの否定値の信号がアクティブ（Low）となった後にアクティブにされなければならない。以降、バースト伝送時のアドレスのカウントアップは、図2に示すように、CASの否定値の信号の立ち上がりエッジで行われる。アドレスカウンタとしては、n本のアドレス入力信号に対して、nビットの2進カウンタが必要となる。又、アドレスカウンタのキャリーが上った時点で次のアクセスはページミスアクセスとなることを利用して、このキャリー信号を外部に出力しておけば、外部でのアドレスコンパレータ回路を必要とせずに、バースト伝送時のページミスアクセスを知ることが可能となる。

40 【0015】

【発明の効果】 以上説明したように本発明はダイナミックラムにバースト伝送を示す信号とアドレスカウンタを備えることにより、バースト伝送時のアドレス入力が必要となる為、アドレス生成・制御用の回路なくしてバースト伝送を可能とする効果がある。

## 【図面の簡単な説明】

【図1】 本発明の一実施例のブロック図である。

【図2】 バースト伝送時のアドレス生成タイミングを示す図である。

(3)

特開平5-282859

3

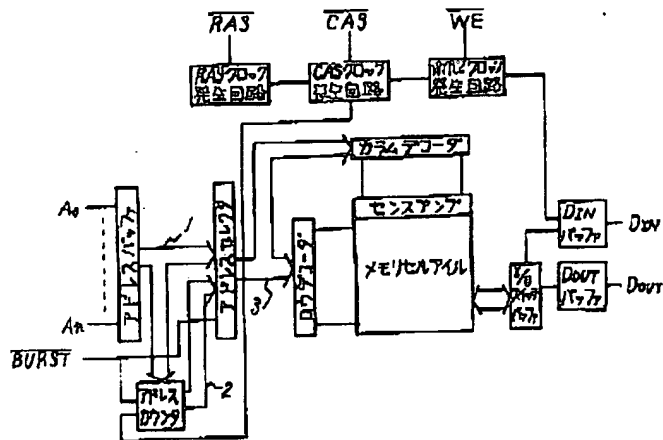
1

【図3】従来のダイナミックラムの内部ブロック図である。

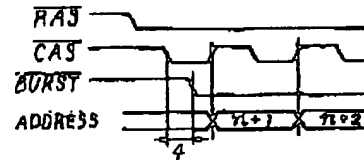
2 アドレス  
3 アドレスバス

【符号の説明】

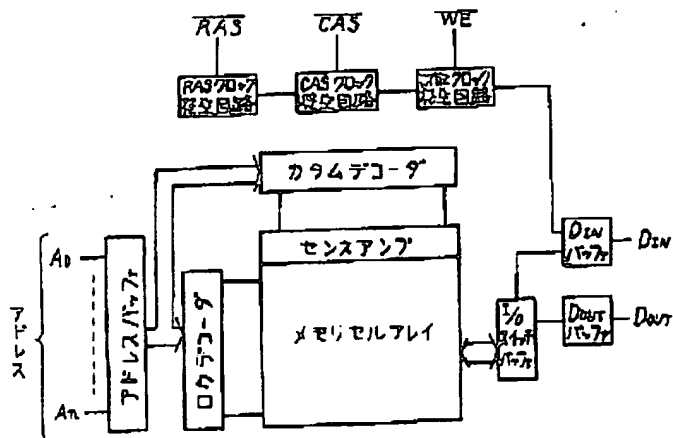
【図1】



【図2】



【図3】



This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.